

「半導体メモリ」 目次

1. 半導体メモリの位置づけ
 - 1.1 電子工業と半導体デバイス
 - 1.2 電子計算機の二大構成要素：プロセッサとメモリ
 - 1.2.1 アナログ計算機
 - 1.2.2 黎明期のデジタル電子計算機
 - 1.2.3 汎用マイクロプロセッサの出現
 - 1.2.4 プロセッサの課題
 - 1.3 半導体メモリの位置づけ
 - 1.3.1 水銀遅延線
 - 1.3.2 磁気コアメモリ
 - 1.3.3 半導体メモリ
 - 1.3.4 電荷結合素子(CCD)と磁気バブルメモリ
 - 1.3.5 ハードディスクドライブ(HDD)
 - 1.4 半導体市場
 - 1.4.1 製品別市場
 - 1.4.2 地域別市場
 2. 半導体メモリの種類と機能およびその用途
 - 2.1 半導体メモリの基本機能
 - 2.1.1 メモリアレー構成
 - 2.1.2 アドレスデコーダ
 - 2.1.3 アレー分割
 - 2.1.4 高速データ転送
 - 2.2 機能別分類
 - 2.2.1 分類三要素
 - 2.2.2 書き込み時間
 - 2.2.3 メモリセル面積とチップコスト
 - 2.2.4 書き込み時間と書き換え回数
 - 2.3 RAM(ランダムアクセスメモリ) の用途
 - 2.3.1 S R A M
 - 2.3.2 D R A M
 - 2.3.3 M R A M
 - 2.4 ROM(リードオンリーメモリ) の用途
 - 2.4.1 マスクROMとフューズROM
 - 2.4.2 EPROM
 - 2.4.3 EEPROM(電荷捕獲型)
 - 2.4.4 EEPROM(浮遊ゲート型)
 - 2.5 高性能メモリの用途
 - 2.5.1 ランバスDRAM
 - 2.5.2 多ポートメモリ
 - 2.5.3 連想メモリ
 3. 大量生産されている汎用メモリ
 - 3.1 マスクROMとフューズROM
 - 3.1.1 マスクROM
 - 3.1.2 フューズROM
 - 3.2 SRAM
 - 3.2.1 基本メモリセル
 - 3.2.2 S R A Mの基本動作
 - 3.2.3 耐放射線特性
 - 3.2.4 極低消費電力化
 - 3.2.5 S R A M製造工程の概略
 - 3.3 DRAM
 - 3.3.1 基本メモリセル
 - 3.3.2 D R A Mの基本動作
 - 3.3.3 リフレッシュ
 - 3.3.4 メモリセルの変遷
 - 3.3.5 将来のDRAM
 - 3.3.6 ソフトエラー
 - 3.4 EEPROM (フラッシュメモリ)
 - 3.4.1 基本メモリセル
 - 3.4.2 書き込み/読み出し動作
 - 3.4.3 多ビット/セル方式
 - 3.4.4 アレー構成
 - 3.4.5 製造工程
 - 3.4.6 誤動作抑制
 - 3.4.7 S i ドットメモリ
 4. 少量生産あるいは開発中のメモリ
 - 4.1 強誘電体メモリ：FeRAM
 - 4.1.1 強誘電体膜
 - 4.1.2 メモリセル
 - 4.1.3 信頼性
 - 4.1.4 応用
 - 4.2 磁気メモリ：MRAM
 - 4.2.1 トンネル磁気抵抗膜
 - 4.2.2 メモリセルと動作原理
 - 4.2.3 信頼性
 - 4.2.4 応用
 - 4.3 相変化メモリ：PCM/PRAM
 - 4.3.1 カルコゲナイド膜
 - 4.3.2 メモリセルと動作原理
 - 4.3.3 信頼性
 - 4.3.4 応用
 - 4.4 抵抗メモリ：ReRAM
 - 4.4.1 強相関電子系酸化膜
 - 4.4.2 メモリセルと動作原理
 - 4.4.3 信頼性
 - 4.4.4 応用
 5. 半導体メモリの性能比較と将来の課題
 - 5.1 各種半導体メモリの性能比較
 - 5.2 半導体メモリの構成要素の課題
 - 5.2.1 セルトランジスタ
 - 5.2.2 記憶素子
 - 5.2.3 アレー構成
 - 5.3 将来に期待されているメモリ
 - 5.3.1 単電子メモリ
 - 5.3.2 スピントランジスタ
 - 5.3.3 固体電解質メモリ
 - 5.3.4 有機半導体メモリ
 - 5.3.5 将来性の判断基準
 6. 半導体メモリ製造の基礎技術
 - 6.1 製造技術
 - 6.1.1 高集積化と微細加工
 - 6.1.2 デバイス・プロセス・材料の革新
 - 6.1.3 インテグレーション技術
 - 6.1.4 歩留まり
 - 6.2 メモリ混載技術
 - 6.2.1 混載の意義
 - 6.2.2 SRAM混載
 - 6.2.3 DRAM混載
 - 6.3 欠陥救済技術
 - 6.3.1 フューズ方式
 - 6.3.2 アンチフューズ方式
 - 6.3.3 プロセッサの欠陥救済
 - 6.4 ばらつき補償技術
 - 6.4.1 トランジスタのしきい電圧
 - 6.4.2 ばらつきの加算
 - 6.4.3 不均衡軽減レイアウト
 - 6.4.4 ばらつき補償回路
 - 6.5 チップスタック技術
 - 6.5.1 ワイヤボンディング方式
 - 6.5.2 貫通配線方式
 7. 補遺
 - 7.1 トランジスタ表記
 - 7.2 ジッターとスキュー
 - 7.3 ラッチアップ
 - 7.4 ソフトエラー
 - 7.5 デバイス開発の歴史
- あとがき
引用・参考文献